

 <b>UCG</b> Univerzitet Crne Gore	<b>UNIVERZITET CRNE GORE</b> <b>ELEKTROTEHNIČKI FAKULTET</b>	
<b>STUDIJSKI PROGRAM:</b>	<i>ELEKTRONIKA, TELEKOMUNIKACIJE I RAČUNARI</i>	
<b>PREDMET:</b>	<i>PROJEKTOVANJE DIGITALNIH SISTEMA</i>	
<b>FOND ČASOVA:</b>	<i>3 + 0 + 1</i>	

## LABORATORIJSKA VJEŽBA

<b>NAZIV:</b>	<i>REALIZACIJA BINARNOG KOMPARATORA</i>
<b>CILJEVI VJEŽBE:</b> <ul style="list-style-type: none"> <li>- praktičan rad sa SPARTAN 3E Starter kit razvojnom platformom i Xilinx ISE razvojnim okruženjem,</li> <li>- povezivanje teorijske osnove (predavanja) sa praktičnom realizacijom,</li> <li>- upoznavanje sa <i>behavioral</i> modelovanjem,</li> <li>- verifikacija binarnog komparatora.</li> </ul>	
<b>POTREBAN PRIBOR:</b> <ul style="list-style-type: none"> <li>- pribor za pisanje.</li> </ul>	

**IME I PREZIME:** \_\_\_\_\_.

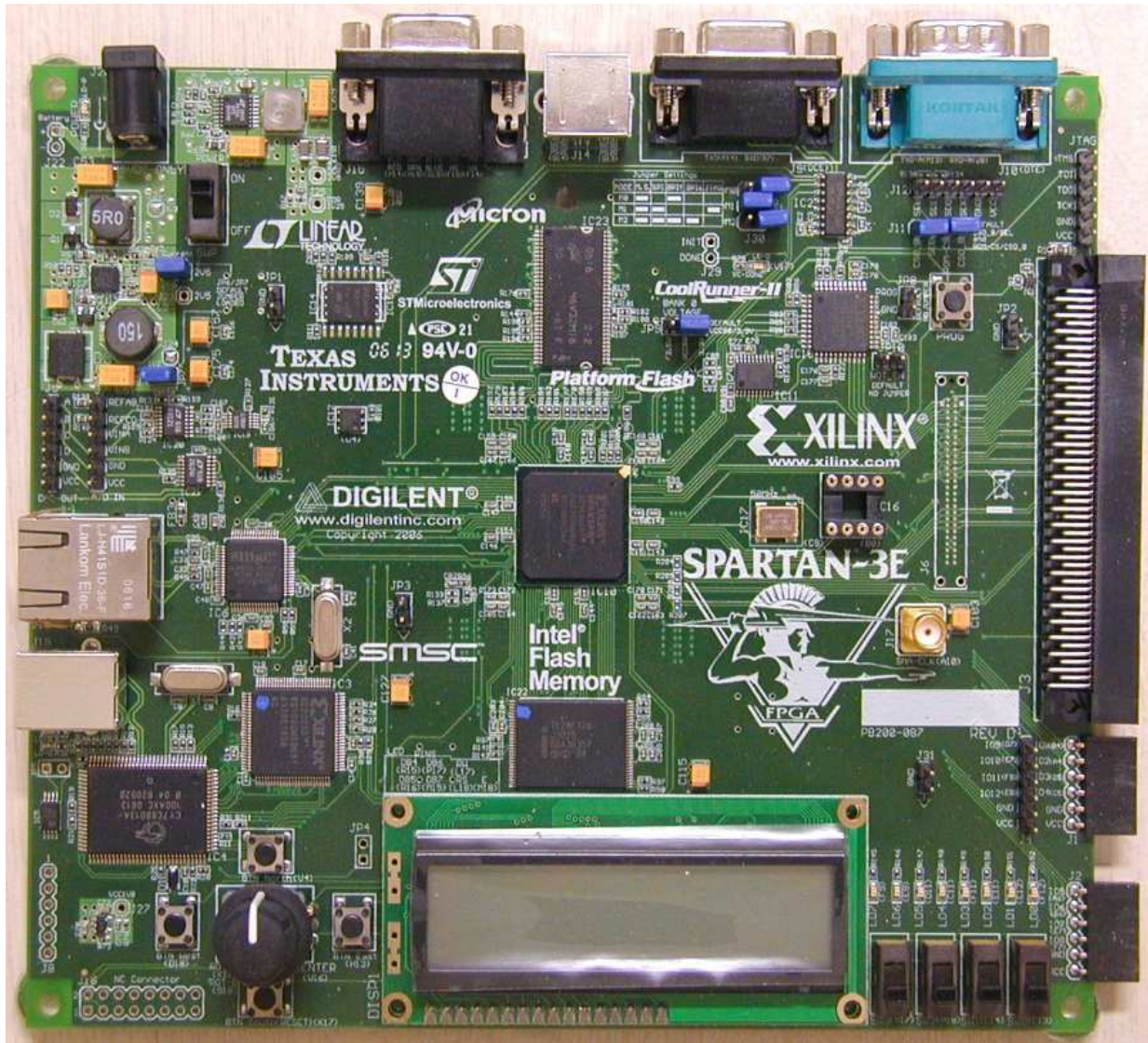
**BROJ INDEKSA:** \_\_\_\_\_.

<b>BROJ POENA:</b>	
<b>OVJERAVA:</b>	
<b>DATUM:</b>	

## 1. APARATURA

Na raspolaganju su sljedeći uređaji i oprema:

- SPARTAN 3E Starter Kit razvojna platforma,
- računar,
- napajanje,
- USB kabal,
- Xilinx ISE Design Suite v.14.7 razvojno okruženje.

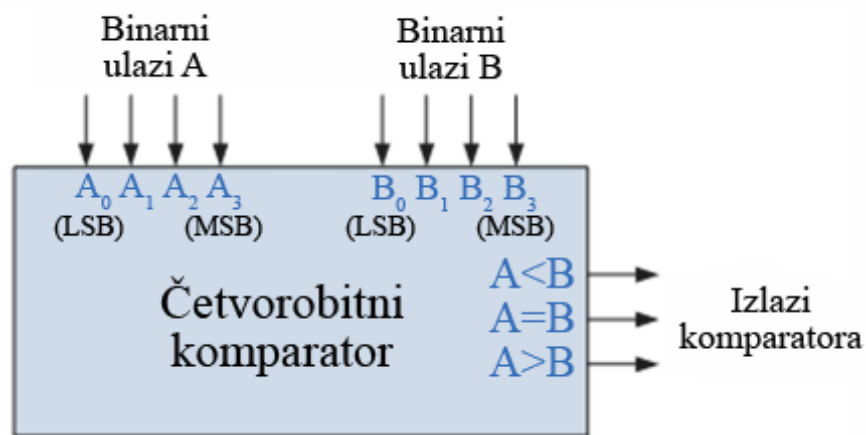


Slika 1.1: Izgled SPARTAN 3E Starter Kit razvojne platforme

## 2. TEORIJSKA OSNOVA LABORATORIJSKE VJEŽBE

Digitalni sistem koji omogućava poređenje dva binarna broja naziva se binarni komparator. Komparator neoznačenih cijelih n-bitnih brojeva je mreža koja ima dva n-bitna ulaza (A i B) i tri izlaza (označimo ih sa x, y i z). Samo jedan izlaz ima vrijednost logičke jedinice, dok su ostali na nivou logičke nule, u zavisnosti od odnosa ulaznih vrijednosti.

Poređenje binarnih brojeva se generalno svodi na upoređivanje njihovih odgovarajućih bitova (bitova iste težine u brojevima koje poredimo), počev od MSB ka manje značajnim bitovima. Međutim, koristeći *behavioral* konstrukcije prilikom modelovanja u Verilogu može se znatno uprostiti realizacija ovog komparatora.



Slika 2.1: Četvorobitni komparator

### 2.1 Verilog kod za realizaciju binarnog komparatora

```

module komparator (x, y, z, a, b);
output x, y, z;
reg x, y, z;
input [3:0] a, b;

always @(a or b)
begin
    x=1'b0; y=1'b0; z=1'b0;
    if(a == b)
        x = 1'b1;
    else if (a>b)
        y= 1'b1;
    else
        z= 1'b1;
end
endmodule

```

Prije implementacije binarnog komparatora može se izvršiti provjera funkcionalne ispravnosti dizajna. Kao primjer je data pojednostavljena varijanta *stimulusa* za ispitivanje gornjeg komparatora:

```
module stimulus;
```

```
wire X, Y, Z;
```

```
reg [3:0] A, B;
```

```
komparator KOMP(X, Y, Z, A, B);
```

```
initial
```

```
begin
```

```
    $monitor ($time,"A=%b,B=%b,X=%b,Y=%b,Z=%b",A,B,X,Y,Z);
```

```
    A=4'b0001; B=4'b0000;
```

```
    #5 B=4'b0001;
```

```
    #5 B=4'b0010;
```

```
    #5 A=4'b0010;
```

```
    #5 A=4'b1010;
```

```
    #5 B=4'b1111;
```

```
    #10 $finish;
```

```
end
```

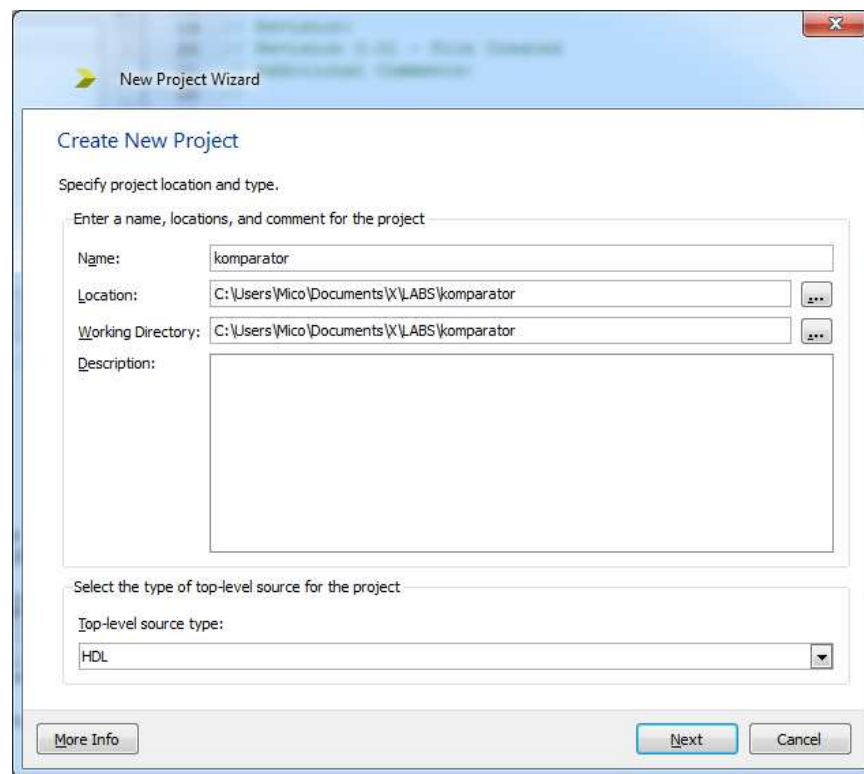
```
endmodule
```

### 3. ZADACI LABORATORIJSKE VJEŽBE

#### Kreiranje dizajna

Pokrenuti *ISE Project Navigator* i napraviti novi projekat.

1. **Start**→**Programs**→**Xilinx Design Tools**→**ISE Design Suite 14.7**→**ISE Design Tools** →**Project Navigator**
2. U dobijenom prozoru treba izabrati **File**→**New Project**. Otvoriće se **New Project Wizard** (slika 3.1).

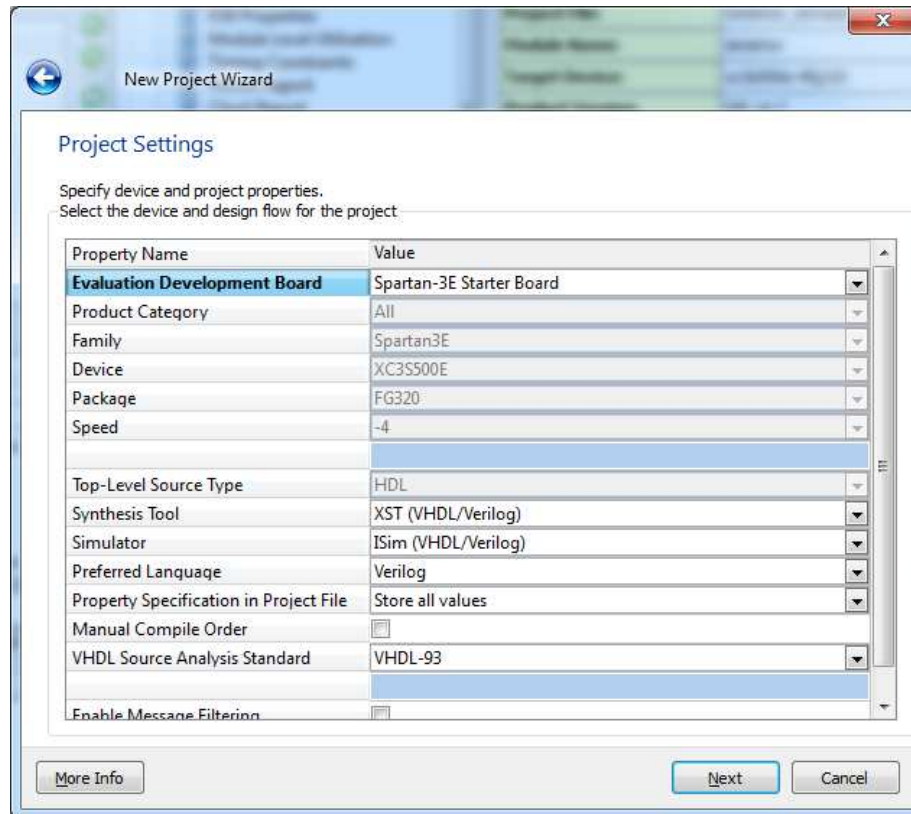


Slika 3.1: Prozor *New Project Wizard*

Dati ime novom projektu (npr. **komparator**), a zatim odrediti mjesto na hard disku gdje želite da vaš projekat i njegovi prateći fajlovi budu sačuvani (...)=**Browse**.

3. <**Next**>

Pojaviće se prozor prikazan na slici 3.2.

Slika 3.2: Prozor *Device Properties*

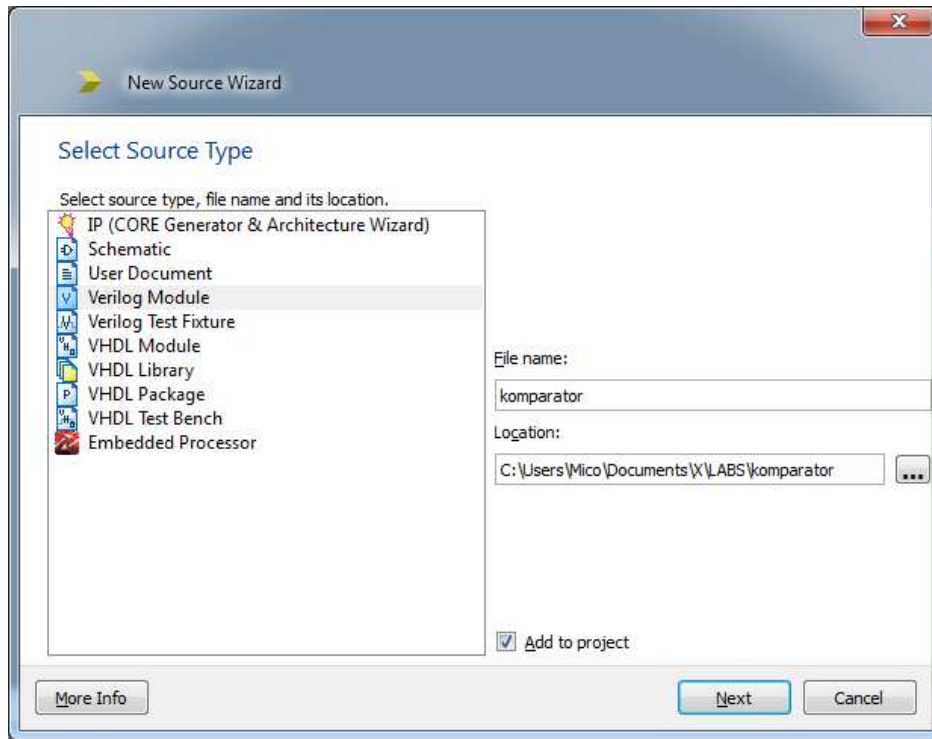
Pojaviće se dijalog za odabir uređaja i toka dizajna i treba odabrati sledeća podešavanja:

Device Family: **Spartan3E**  
 Device: **xc3s500E**  
 Package: **fg320**  
 Speed Grade: **-4**  
 Synthesis Tool: **XST (VHDL/Verilog)**  
 Simulator: **ISim (VHDL/Verilog)**  
 Preferred Language: **Verilog**

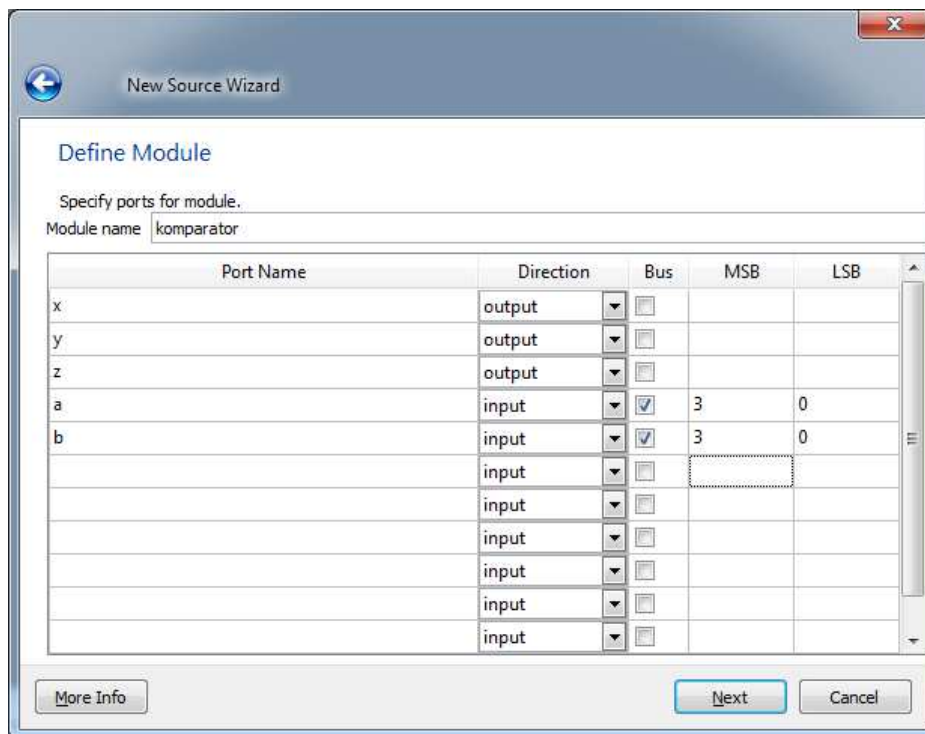
**Napomena:** Mogli smo pod **Evaluation Development Board** izabrati **Spartan-3E Starter Board** i tada bi se automatski podesile opcije za FPGA čip.

4. <Next>, pa <Finish>
5. Izabrati **Project**→**New Source**.

Pojaviće se sledeći prozor (**New Source Wizard** - slika 3.3) u kome treba izabrati opciju **Verilog Module**, dati ime fajlu (npr. **komparator**) i pritisnuti <Next>.

Slika 3.3: Prozor *New Source Wizard*

6. U sledećem prozoru unijeti nazive portova i njihove smjerove, kako je to prikazano na slici 3.4 i izabrati <Next> i <Finish>. Na pitanje da li želite da kreirate folder odgovoriti sa <Yes>.

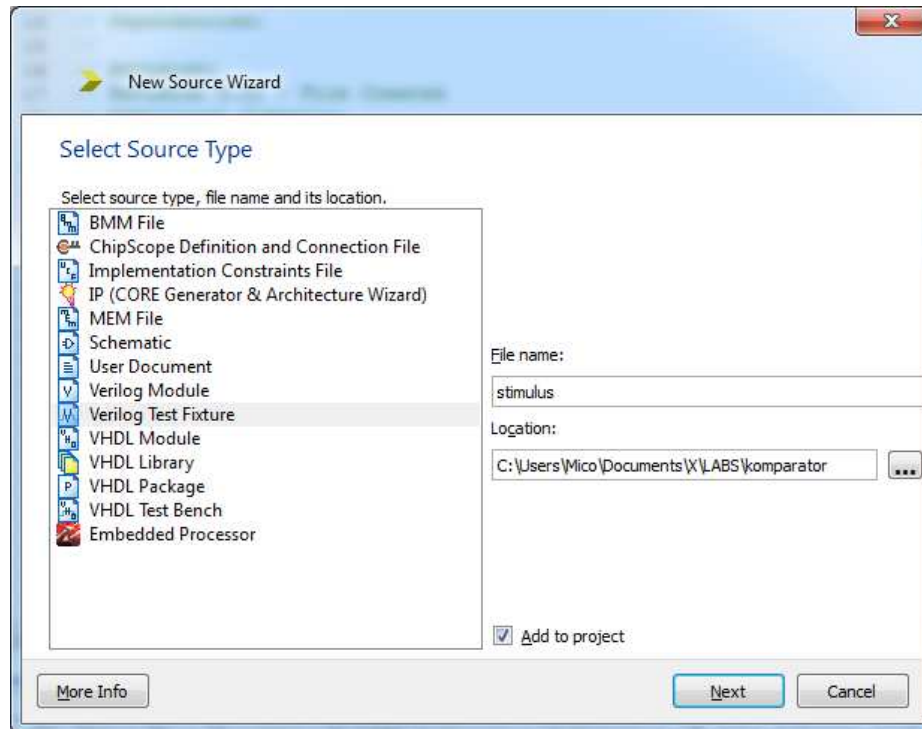


Slika 3.4: Unos portova

7. Dobijeni okvir za kreiranje modula dopuniti funkcionalnošću modula saglasno kodu prikazanom u poglavlju 2.1.
8. Snimiti izmjene u fajlu: **File**→**Save**

## Provjera funkcionalnosti

1. Da bi provjerali funkcionalnost dizajna, treba napraviti *stimulus* i izvršiti simulaciju. Izabrati **Project**→**New Source**, u novom prozoru selektovati **Verilog Test Fixture** i dati ime stimulusu (npr. **stimulus**) (slika 3.5). Potom izabrati <Next>, <Next>, <Finish>



Slika 3.5: Kreiranje stimulusa

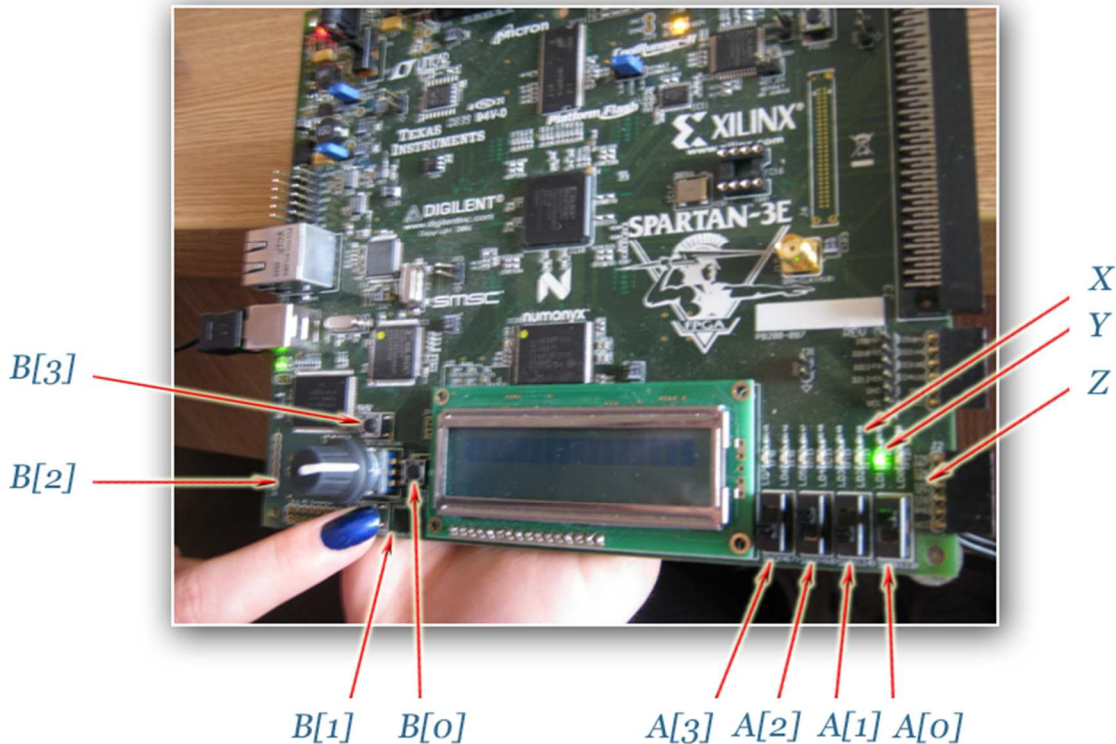
2. Dobijeni fajl dopuniti saglasno kodu prikazanom u poglavlju 2.1 i snimiti.
3. U **Design View** prozoru selektovati opciju **Simulation**, a u **Design Hierarchy** prozoru selektovati **stimulus**.
4. U **Processes** prozoru proširiti **Isim Simulator** i dva puta kliknuti na **Simulate Behavioral Model**. Otvoriće se ISim simulator i prikazaće se rezultati simulacije.

## Implementacija

1. Nakon što se uvjerimo da kolo ispravno funkcioniše, prelazimo na implementaciju. Prvi korak je pridruživanje odgovarajućih pinova FPGA čipa signalima unutar našeg dizajna. Ulazne signale ćemo povezati na prekidače i tastere koji se nalaze na Spartan 3E Starter Kit razvojnoj platformi, a izlazne signale na LED (slika 3.6). U tu svrhu možemo koristiti



program **PlanAhead**, kao što je to prikazano u laboratorijskoj vježbi „Architecture Wizard i PACE Lab (PlanAhead)“. Međutim, ovdje ćemo isti zadatak obaviti na drugačiji način.



Slika 3.6: Položaj prekidača, tastera i LED koji se koriste u ovoj vježbi

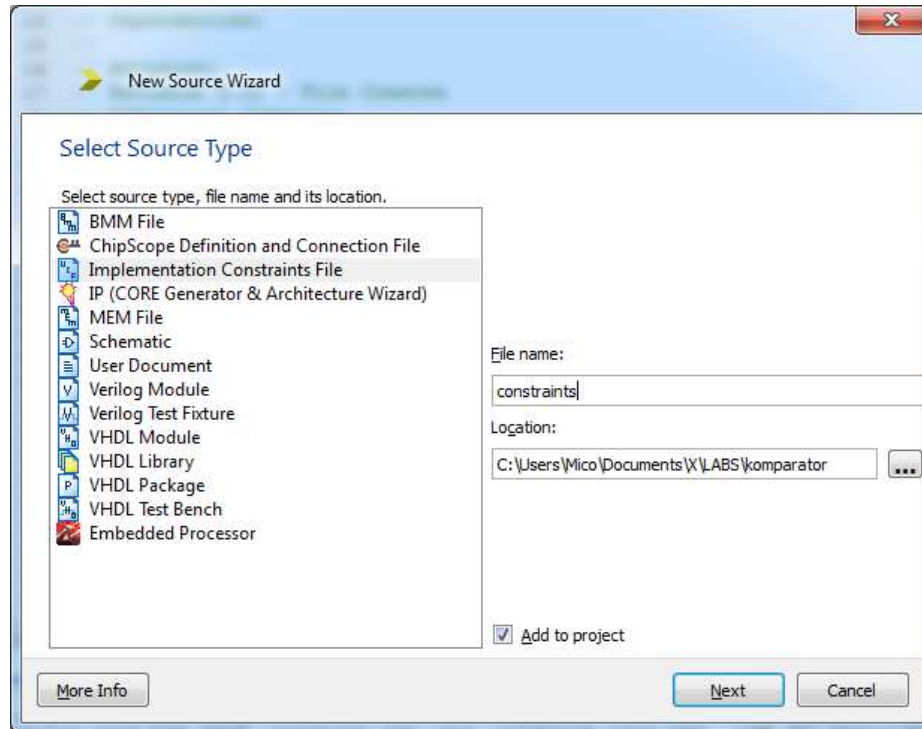
2. U **Design View** prozoru selektovati opciju **Implementation**, a u **Design Hierarchy** prozoru selektovati **komparator**.
3. Izabrati **Project** → **New Source**, u novom prozoru selektovati **Implementation Constraints File** i dati mu ime (npr. **constraints**) (slika 3.7). Potom izabrati <Next>, <Finish>
4. U upravo kreirani fajl, uz pomoć dokumenta *Spartan-3E Starter Kit Board User Guide*, unijeti kod kojim definišemo povezivanje signala unutar dizajna sa pinovima FPGA čipa:

```
NET "a<0>" LOC = "L13" | IOSTANDARD = LVTTTL | PULLUP ;
NET "a<1>" LOC = "L14" | IOSTANDARD = LVTTTL | PULLUP ;
NET "a<2>" LOC = "H18" | IOSTANDARD = LVTTTL | PULLUP ;
NET "a<3>" LOC = "N17" | IOSTANDARD = LVTTTL | PULLUP ;
```

```
NET "b<0>" LOC = "H13" | IOSTANDARD = LVTTTL | PULLDOWN ;
NET "b<3>" LOC = "V4" | IOSTANDARD = LVTTTL | PULLDOWN ;
NET "b<1>" LOC = "K17" | IOSTANDARD = LVTTTL | PULLDOWN ;
NET "b<2>" LOC = "D18" | IOSTANDARD = LVTTTL | PULLDOWN ;
```

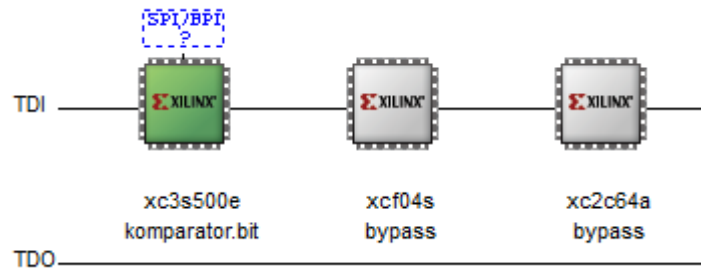
```
NET "x" LOC = "E11" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 8 ;
NET "y" LOC = "E12" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 8 ;
NET "z" LOC = "F12" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 8 ;
```

5. Snimiti unijete izmjene u *constraint* fajl: **File**→ **Save**
6. U **Processes** prozoru dva puta kliknuti na **Generate Programming File** (pri čemu su i dalje selektovane stavke iz koraka 2) i sačekati da se proces završi.
7. Uključiti Spartan-3E Starter Board razvojnu platformu i povezati je sa računarom pomoću USB kabla.

Slika 3.7: Kreiranje *constraints* fajla

8. U **Processes** prozoru raširiti **Configure Target Device** i dva puta kliknuti na **Manage Configuration Project (iMPACT)**.
9. Kada se pokrene program **iMPACT** u prozoru **iMPACT Flows** dva puta kliknuti na **Boundary Scan**. Nakon toga desnim tasterom miša kliknuti na praznu bijelu površinu na kojoj piše „*Right click to Add Device or Initialize JTAG chain*“ i izabrati opciju **Initialize Chain**. Na pitanje „*Do you want to continue and assign configuration file(s)*“ odgovoriti sa **<Yes>**.
10. Kada se pojavi dijalog **Assign New Configuration File**, izabere se *komparator.bit* fajl (odnosno fajl za ekstenzijom **.bit** i istim imenom kao i verilog fajl u projektu) za **xc3s500e** (prvi uređaj u JTAG ‘lancu’) i klikne se **<Open>**.  
**Napomena:** ako se pojavi upozoravajuća poruka da je inicijalni *clock* promijenjen na JTAG-ov, samo treba kliknuti **<OK>**.  
**Napomena 2:** ako se pojavi pitanje „*Do you want to attach an SPI or BPI PROM to this device*“ odgovoriti sa **<No>**.
11. Za ostale uređaje, kliknuti **Bypass**.

12. Kada se pojavi prozor **Device Programming Properties** samo kliknuti **<OK>**. Izgled radnog prozora prikazan je na slici 3.8.



Slika 3.8. JTAG lanac sa dodijeljenim konfiguracionim fajlom

13. Kliknuti desnim klikom na ikonicu čipa **xc3s500e** koji je označen zelenom bojom (ako nije označen prvo ga selektovati lijevim tasterom miša) u radnom prozoru i odabrati **Program**.
14. Mijenjati položaje prekidača i tastera na razvojnoj platformi kako bi se ulaznim promjenljivim dodjeljivale vrijednosti iz tabele 1 i promjene pratiti na LED. Na osnovu dobijenih rezultata popuniti tabelu 1.

A3	A2	A1	A0	B3	B2	B1	B0	X	Y	Z
0	0	0	0	0	0	0	0			
0	0	1	0	0	1	0	0			
0	1	0	0	0	1	1	1			
0	1	1	1	1	0	0	0			
1	0	0	1	1	0	0	1			
1	0	1	1	1	1	1	0			
1	1	0	0	0	0	0	1			
1	1	1	0	1	1	1	1			
1	0	0	0	0	1	1	1			

Tabela 1

## 4. ZAKLJUČAK